

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 1 月 1 9 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 3 8 9 4 8 4

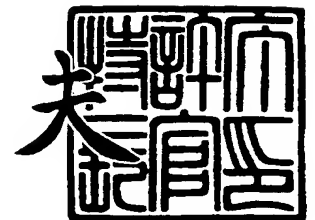
[ST. 10/C]: [J P 2 0 0 3 - 3 8 9 4 8 4]

出 願 人
Applicant(s): 沖電気工業株式会社

2 0 0 4 年 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 OG004838
【あて先】 特許庁長官殿
【国際特許分類】 H03K 5/08
【発明者】
 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内
 【氏名】 若松 武
【発明者】
 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内
 【氏名】 堀川 茂満
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【代理人】
 【識別番号】 100089093
 【弁理士】
 【氏名又は名称】 大西 健治
【手数料の表示】
 【予納台帳番号】 004994
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9720320

【書類名】 特許請求の範囲**【請求項 1】**

比較対象となる信号を入力する差動対トランジスタとカレントミラー負荷回路から構成される差動増幅回路と、

前記カレントミラー負荷回路から、前記比較対象信号の大小関係に応じて出力される差動出力信号を増幅する為に、一方の入力が他方の出力となるように構成された反転増幅器で構成したラッチ回路と、

前記差動増幅回路の信号を等化するための等化用トランジスタと、

前記等化用トランジスタの制御電極に入力される制御信号を遅延させる信号を生成する遅延回路と、

前記遅延回路の出力信号を、前記ラッチ回路を活性／非活性状態とする制御信号として制御電極に入力した制御トランジスタと、

を備えたことを特徴とするコンパレータ回路。

【請求項 2】

前記遅延回路はインバータ回路を用いて構成したことを特徴とする請求項 1 に記載のコンパレータ回路。

【請求項 3】

前記遅延回路は抵抗素子を用いて構成したことを特徴とする請求項 1 に記載のコンパレータ回路。

【請求項 4】

比較対象となる信号を入力する差動対トランジスタとカレントミラー負荷回路から構成される差動増幅回路と、

前記カレントミラー負荷回路から、前記比較対象信号の大小関係に応じて出力される差動出力信号を増幅する為に、一方の入力が他方の出力となるように構成された反転増幅器で構成したラッチ回路と、

前記差動増幅回路の信号を等化するための等化用トランジスタと、

前記等化用トランジスタを制御するに、制御信号を遅延させた遅延制御信号を生成する遅延回路と、

前記遅延制御信号と前記制御信号との論理積信号を前記等化用トランジスタの制御信号として出力する論理回路と、

前記遅延制御信号と前記制御信号との論理和信号を、前記ラッチ回路を活性／非活性状態とする制御信号として制御電極に入力した制御トランジスタと、
を備えたことを特徴とするコンパレータ回路。

【請求項 5】

前記遅延回路はインバータ回路を用いて構成したことを特徴とする請求項 4 に記載のコンパレータ回路。

【請求項 6】

前記遅延回路は抵抗素子を用いて構成したことを特徴とする請求項 4 に記載のコンパレータ回路。

【請求項 7】

前記差動増幅回路は、前記差動対が、共通接続したソース電極を定電流源に接続した第一導電型のトランジスタ (M1, M2) から構成され、前記カレントミラー負荷回路が、前記トランジスタ (M1, M2) のドレイン電極にそれぞれ接続され、ドレインとゲートが接続された第二導電型のトランジスタ (M3, M4) と、該第二導電型のトランジスタ (M3, M4) とゲート同士が接続された第二導電型のトランジスタ (M5, M6) とから構成され、該第二導電型のトランジスタ (M5, M6) のそれぞれのドレイン電極から比較結果信号が出力されることを特徴とする、請求項 1 ～ 6 に記載のコンパレータ回路。

【書類名】明細書

【発明の名称】コンパレータ回路

【技術分野】

【0001】

この発明は、高速A/Dコンバータなどにおいて、二つの微小信号を高速に比較し、その大小関係に応じたデジタル値を出力する高速・高精度のコンパレータ回路に関する。

【背景技術】

【0002】

A/Dコンバータなどに用いられているコンパレータ回路としては、増幅器と、クロック信号に同期してデジタル値を出力するラッチ回路から構成されているものが知られている。このような従来のコンパレータ回路の一例を図5(a)に示す。この図に示されたコンパレータ回路は、NMOSトランジスタM1、M2と、PMOSトランジスタM3、M4、M5、M6とから構成されたカレントミラー負荷回路とを有する差動増幅回路と、二つの反転増幅器（インバータ）を一方の入力が他方の出力となるように接続して構成したラッチ回路とを結合して構成されている。

【0003】

二つの反転増幅器は、NMOSトランジスタM7とPMOSトランジスタM11、及びNMOSトランジスタM8とPMOSトランジスタM12とでそれぞれ構成されている。また、出力信号OUTPUT、OUTNの等化（イコライズ）用としてNMOSトランジスタM9が備えられ、クロック信号CLKに同期して反転増幅器を動作させるトランジスタM10を備えている。

【0004】

カレントミラー負荷回路を有する差動増幅回路においては、トランジスタM1、M2のソースが電流源I1に接続されており、二つの入力信号INP、INNがそれぞれトランジスタM1、M2のゲートに印加される。トランジスタM1、M2のドレインにはトランジスタM3、M4のドレイン、ゲート及びトランジスタM5、M6のゲートがそれぞれ接続されている。トランジスタM3、M4、M5、M6のソースは、電源電圧VDDに接続され、トランジスタM5、M6のドレインは、反転増幅器（インバータ）の入力及び出力に接続されている。

【0005】

二つの反転増幅器により構成されたラッチ回路においては、出力端子OUTPUTとOUTNとの間にトランジスタM9が接続され、そのゲートにクロック信号CLKが印加される。このクロック信号CLKがHighレベルの時、トランジスタM9が導通し、出力端子OUTPUTとOUTNがイコライズされる。同時に、トランジスタM10のゲートにクロック信号CLKが印加され、非導通となるので、ラッチ回路は非活性状態となる。

【0006】

トランジスタM7、M8のソースは接地電位に接続され、トランジスタM7のゲートがトランジスタM8のドレインと出力端子OUTPUTに接続されている。また、トランジスタM8のゲートはトランジスタM7のドレインと出力端子OUTNに接続されている。トランジスタM10のソースは電源電圧VDDに接続されており、ドレインはトランジスタM11、M12のソースに接続されている。トランジスタM11、M12のゲートは、それぞれ出力端子OUTPUT、OUTNに接続されており、ドレインはそれぞれ出力端子OUTN、OUTPUTに接続されている。

【0007】

従来のコンパレータ回路の動作を説明する。

【0008】

クロック信号CLKがHighレベルで、トランジスタM9が導通すると、出力端子OUTPUT、OUTNは同電位にイコライズされる。同時に、トランジスタM10が非導通状態となるので、二つの入力信号INP、INNはトランジスタM1、M2のゲートに印加されるが、出力端子OUTPUT、OUTNは同電位にイコライズされているため、カレント

ミラー負荷回路を有する差動増幅回路による入力信号の差動増幅は行われない。

【0009】

次にクロック信号CLKがLowレベルに遷移すると、トランジスタM9は非道通となり、トランジスタM1、M2に印加された入力信号INP、INNの電位差がカレントミラー負荷回路を有する差動増幅回路において僅かに増幅され、出力端子OUTP、OUTNに出力される。同時に、トランジスタM10が導通状態になり、トランジスタM7、M11及びトランジスタM8、M12から成る二つの反転増幅器で構成されたラッチ回路が動作（活性化）し、カレントミラー負荷回路を有する差動増幅回路により増幅された出力端子OUTP、OUTNの僅かな電位差が急激に拡大し、電源電位或いは接地電位レベルまで増幅され、この増幅された電位が出力端子OUTP、OUTNに保持される（図5（b）参照）。

【0010】

この種のコンパレータ回路としては、例えば、下記特許文献1、2に開示されたものがある。

【特許文献1】特開平5-67950号公報

【特許文献2】特開2002-23774号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

前述のコンパレータ回路は、クロック信号CLKの立ち上がりエッジで、入力信号INPとINNとの大小関係によって出力端子OUTP、OUTNの電圧レベルが決定されるべきであるが、入力信号INP、INNの電位差が微小な場合、ラッチ回路の増幅作用により出力端子OUTP、OUTNの電位差が急激に変化するため、トランジスタM1、M5、及びM2、M6のゲート・ドレイン間の寄生容量（C1gd、C2gd、C5gd、C6gd）により、出力端子OUTP、OUTNの電圧変化が入力信号INP、INN側に帰還される。そのため、入力信号INP、INNの電圧関係が逆転する、所謂キックバック現象が発生し、誤動作が発生するという問題があった。

【0012】

更に、トランジスタM5のドレインからトランジスタM8、M12のドレイン、及びトランジスタM7、M11のゲートに至る配線抵抗と配線容量が、トランジスタM9のドレイン（或いはソース）及びトランジスタM6のドレインからトランジスタM7、M11のドレイン及びトランジスタM8、M12のゲートに至る配線抵抗と配線容量とが微妙に異なる場合が発生する。このため、微小な電位差の入力信号INP、INNの大小関係を決定したい場合、カレントミラー負荷を有する増幅器による出力端子OUTP、OUTNの電圧レベル変化速度に微小な差が生じる。図5（a）に示した従来のコンパレータ回路の場合、カレントミラー負荷を有する差動増幅器による増幅動作と同時にラッチ回路による増幅動作が開始されるため、カレントミラー負荷を有する差動増幅器により増幅された電圧レベルが確定していない状態で、急激に増幅されると誤った電圧レベルを保持してしまうという問題があった。

【0013】

本発明の課題は、上記問題点を解決して、誤動作の生じないコンパレータ回路を提供することにある。

【課題を解決するための手段】

【0014】

本発明に係るコンパレータ回路は、比較対象となる信号を入力する差動対トランジスタとカレントミラー負荷回路から構成される差動増幅回路と、カレントミラー負荷回路から、比較対象信号の大小関係に応じて出力される差動出力信号を増幅する為に、一方の入力が他方の出力となるように構成された反転増幅器で構成したラッチ回路と、差動増幅回路の信号を等化するための等化用トランジスタと、等化用トランジスタの制御電極に入力される制御信号を遅延させる信号を生成する遅延回路と、この遅延回路の出力信号をラッチ

回路を活性／非活性状態とする制御信号として制御電極に入力した制御トランジスタとを備えて構成されている。

【発明の効果】

【0015】

本発明に係るコンパレータ回路では、従来の回路に対して、等化用トランジスタの制御電極に入力される制御信号を遅延させる信号を生成する遅延回路と、この遅延回路からの出力信号をラッチ回路を活性／非活性とする制御信号として制御電極に入力した制御トランジスタを備えているので、カレントミラー負荷を有する差動増幅器の増幅動作が終了してから、一定の遅延時間においてラッチ回路による増幅動作が開始されるため、前述のような問題が生ずることがなく、誤った比較信号が出力されることが無い。

【発明を実施するための最良の形態】

【0016】

以下、この発明の最良の形態を示す実施例について、図面を用いて説明する。尚、図中、各構成成分の大きさ、形状、配置関係は、この発明が理解できる程度に概略的に示してあるにすぎず、また、同一の構成要素については同一の記号を付与し、重複した説明を省略する。

【実施例1】

【0017】

図1は、本発明に係るコンパレータ回路の実施例1の回路図であり、この実施例のコンパレータ回路は、NMOSトランジスタM1、M2と、PMOSトランジスタM3、M4、M5、M6とから構成されたカレントミラー負荷回路とを有する差動増幅回路と、2つの反転増幅器（インバータ）を一方の入力が他方の出力となるように接続して構成したラッチ回路とを結合して構成されている。

【0018】

2つの反転増幅器は、NMOSトランジスタM7とPMOSトランジスタM11、及びNMOSトランジスタM8とPMOSトランジスタM12とでそれぞれ構成されている。また、出力信号OUTP、OUTNの等化（イコライズ）用としてNMOSトランジスタM9が備えられ、遅延されたクロック信号に同期して反転増幅器を動作させるトランジスタM10を備えている。

【0019】

クロック信号CLKを遅延させてトランジスタM10のゲートに印加する為に、この実施例においては、PMOSトランジスタM13とNMOSトランジスタM14で構成した第一のインバータ回路と、PMOSトランジスタM15及びNMOSトランジスタM16とで構成した第二のインバータ回路を直列に接続し、第二のインバータ回路の出力信号をトランジスタM10のゲートに入力している。

【0020】

カレントミラー負荷を有する差動増幅器においては、トランジスタM1、M2のソースが電流源I1に接続され、2つの入力信号INP、INNがそれぞれトランジスタM1、M2のゲート電極に印加される。トランジスタM1、M2のドレインには、それぞれトランジスタM3、M4のドレイン及びゲートが接続され、またトランジスタM5、M6のゲート電極が接続されている。トランジスタM3、M4、M5、M6のソース電極は電源電圧VDDに接続され、トランジスタM5、M6のドレインは反転増幅器の入力及び出力に接続されている。

【0021】

2つの反転増幅器により構成されたラッチ回路において、出力端子OUTPとOUTNとの間にトランジスタM9が接続され、そのゲート電極にクロック信号CLKが印加される。トランジスタM7、M8のソース電極は接地電位に接続され、トランジスタM7のゲート電極がトランジスタM8のドレイン電極と出力端子OUTPに接続され、トランジスタM8のゲート電極がトランジスタM7のドレイン電極と出力端子OUTNに接続されている。

【0022】

トランジスタM10のソース電極は電源電圧VDDに接続されており、ドレイン電極はトランジスタM11, M12のソース電極に接続されている。トランジスタM11, M12のゲート電極はそれぞれ出力端子OUTP, OUTNに接続され、ドレイン電極はそれぞれOUTN, OUTPに接続されている。

【0023】

2段インバータの一方のインバータを構成するトランジスタM13, M14のゲート電極には、クロック信号CLKが印加され、トランジスタM13のソース電極は電源電圧VDDに、ドレイン電極はトランジスタM14のドレイン電極と、他方のインバータを構成するトランジスタM15, M16のゲート電極に接続されている。トランジスタM14のソース電極はトランジスタM16のソース電極と共に接地電位に接続されている。

【0024】

2段インバータの他方のインバータを構成するトランジスタM15のソース電極は電源電圧VDDに接続され、トランジスタM15, M16のドレイン電極は、トランジスタM10のゲート電極に接続されている。

【0025】

以下、図1の回路の動作を説明する。

【0026】

先ず、クロック信号CLKがHighレベルとなりトランジスタM9が導通し、出力端子OUTPとOUTNは同電位にイコライズされる。同時に、トランジスタM13, M14で構成されたインバータが動作し、続いてトランジスタM15, M16で構成されたインバータが動作する。これによりトランジスタM10が遅れて非導通状態となる。

【0027】

2つの入力信号INP, INNは、トランジスタM1, M2のゲート電極に印加されるが、トランジスタM9が導通して出力端子OUTPとOUTNは同電位となっているため、カレントミラー負荷の差動増幅器による増幅動作は行われない。

【0028】

次に、クロック信号CLKがLowレベルとなり、トランジスタM9が非導通状態となると、トランジスタM1, M2に印加された入力信号INP, INNの電位差がカレントミラー負荷を有する差動増幅器により僅かに増幅され、出力端子OUTPとOUTNに出力される。また、僅かではあるが、トランジスタM7, M8による増幅動作も行われる。

【0029】

2段インバータによるクロック信号CLKの遅延により、トランジスタM10が遅れて導通状態となるので、この遅延時間で、カレントミラー負荷を有する差動増幅器及びトランジスタM7, M8により増幅された出力端子OUTPとOUTNの電位レベルが安定する。ただし、安定するまでの時間は、入力信号INP, INNの電位差やカレントミラー負荷を有する差動増幅器の駆動能力により異なる。

【0030】

この状態で、トランジスタM7, M11及びトランジスタM8, M12から成る2つの反転増幅器で構成されたラッチ回路が動作し、カレントミラー負荷の差動増幅器により増幅された出力端子の僅かな電位差が急激に増幅され、出力端子OUTPとOUTNの電位が電源電位VDD或いは接地電位に保持される。

【0031】

以上説明したように、実施例1のコンパレータ回路においては、トランジスタM13, M14及びトランジスタM15, M16により構成された2段インバータ回路により遅延されたクロック信号CLKをトランジスタM10のゲート電極に印加したことにより、カレントミラー負荷を有する差動増幅器による増幅動作により増幅された電圧レベルが安定するための時間を確保することができ、カレントミラー負荷を有する差動増幅器とラッチ回路による同時増幅動作を回避することができ、これによりコンパレータの判定精度が向上する。また、小規模な遅延回路を設けることにより判定精度が向上するため、回路規模

は大きくなることはない。

【実施例 2】

【0032】

図 2 は、本発明に係るコンパレータ回路の実施例 2 の回路図である。この回路は、図 1 の 2 段インバータ回路を抵抗 R 1 に置き換えたものであり、その他の構成要素は実施例 1 と同様であるので、構成及び動作に関する説明を省略する。

【0033】

この回路においても、実施例 1 の回路と同様に、抵抗 R 1 によるクロック信号 CLK の遅延作用により、トランジスタ M 10 の動作が遅延するため、カレントミラー負荷を有する差動増幅器による増幅電圧レベルが安定する時間を確保することができ、実施例 1 と同様の効果を奏する。

【実施例 3】

【0034】

図 3 (a) は、本発明に係るコンパレータ回路の実施例 3 の回路図である。この回路は、図 1 の 2 段インバータ回路とトランジスタ M 10 との間に 2 入力 OR ゲート回路を設け、その一方の入力端子には 2 段インバータの出力信号（遅延したクロック信号 CLK）を入力し、他方の入力端子にはクロック信号 CLK を入力している。また、クロック信号 CLK をトランジスタ M 9 のゲート電極に直接印加せず、一方の端子にクロック信号 CLK を入力し、他方の入力端子に 2 段インバータの出力信号を入力した 2 入力 AND ゲートを設けている。その他の構成要素は実施例 1 と同様である。

【0035】

この構成によれば、同図 (b) に示したように、トランジスタ M 10 のゲート電極の信号 b が立ち上がった後 Δt_1 遅れてトランジスタ M 9 のゲート信号 c が立ち上がり、トランジスタ M 9 のゲート信号 c が立ち下がってから Δt_2 の後にトランジスタ M 10 のゲート信号 b が立ち下がるので、ラッチ回路に貫通電流が流れることが無い。その他の効果は実施例 1 と同様である。

【実施例 4】

【0036】

図 4 は、本発明に係るコンパレータ回路の実施例 4 の回路図であり、この回路においては、図 3 (a) の回路における 2 段インバータ回路を抵抗 R 1 と置き換えた構成としている。この抵抗 R 1 により、クロック信号 CLK は 2 段遅延回路と同様に遅延されるのでこの回路の動作は実施例 3 の回路の動作と同様であり、従って実施例 3 の回路と同様の効果を奏する。

【図面の簡単な説明】

【0037】

【図 1】 本発明に係るコンパレータ回路の実施例 1 の回路図である。

【図 2】 本発明に係るコンパレータ回路の実施例 2 の回路図である。

【図 3】 (a) は、本発明に係るコンパレータ回路の実施例 3 の回路図であり、(b) はその各部の動作波形を示すタイムチャートである。

【図 4】 本発明に係るコンパレータ回路の実施例 4 の回路図である。

【図 5】 (a) は、従来のコンパレータ回路の 1 例を示す回路図であり、(b) は CLK 信号と出力信号の関係を示す波形図である。

【符号の説明】

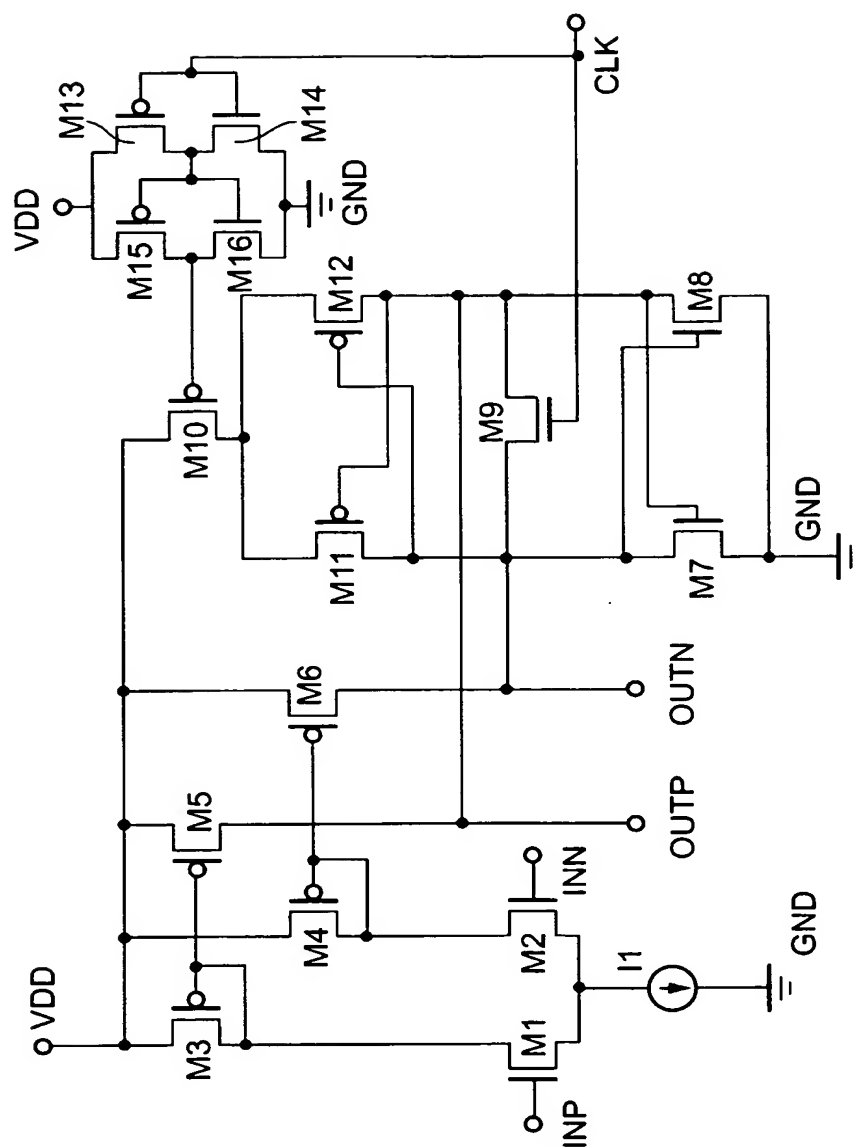
【0038】

M 1, M 2, M 7, M 8, M 9, M 14, M 16 NMOS トランジスタ
M 3, M 4, M 5, M 6, M 11, M 12, M 10, M 13, M 15 PMOS トランジスタ
I 1 電流源
R 1 抵抗
10 2 入力 OR ゲート

2 0 2 入ANDゲート

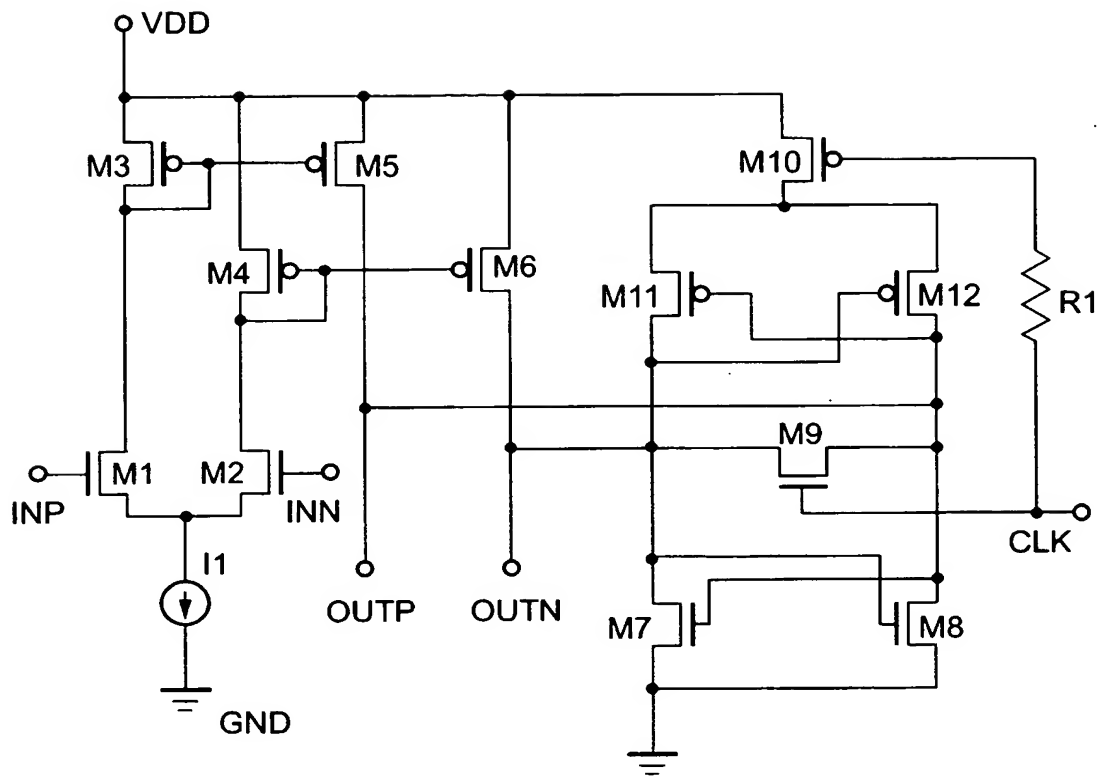
【書類名】 図面

【図 1】



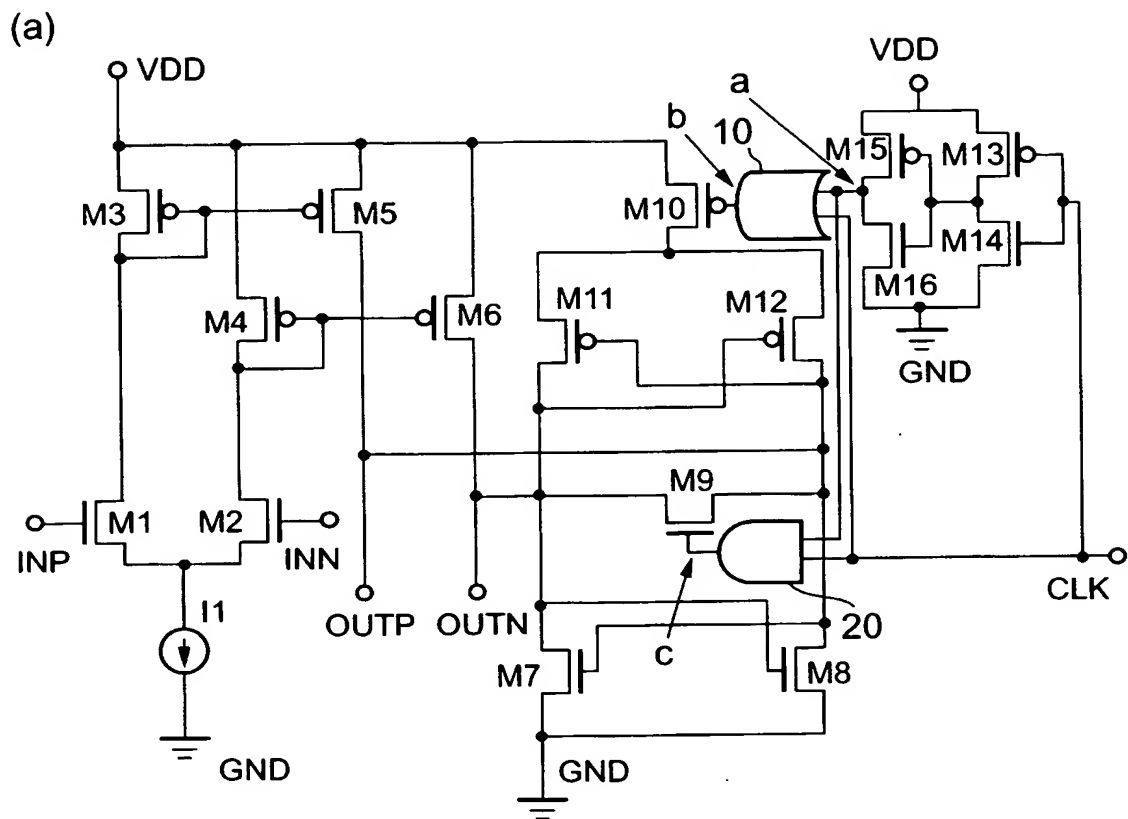
本発明に係るコンパレータ回路の実施例1の回路図

【図 2】

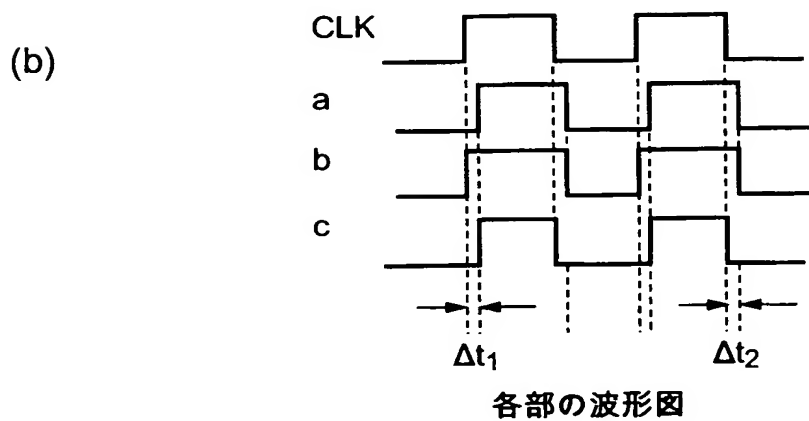


本発明に係るコンパレータ回路の実施例2の回路図

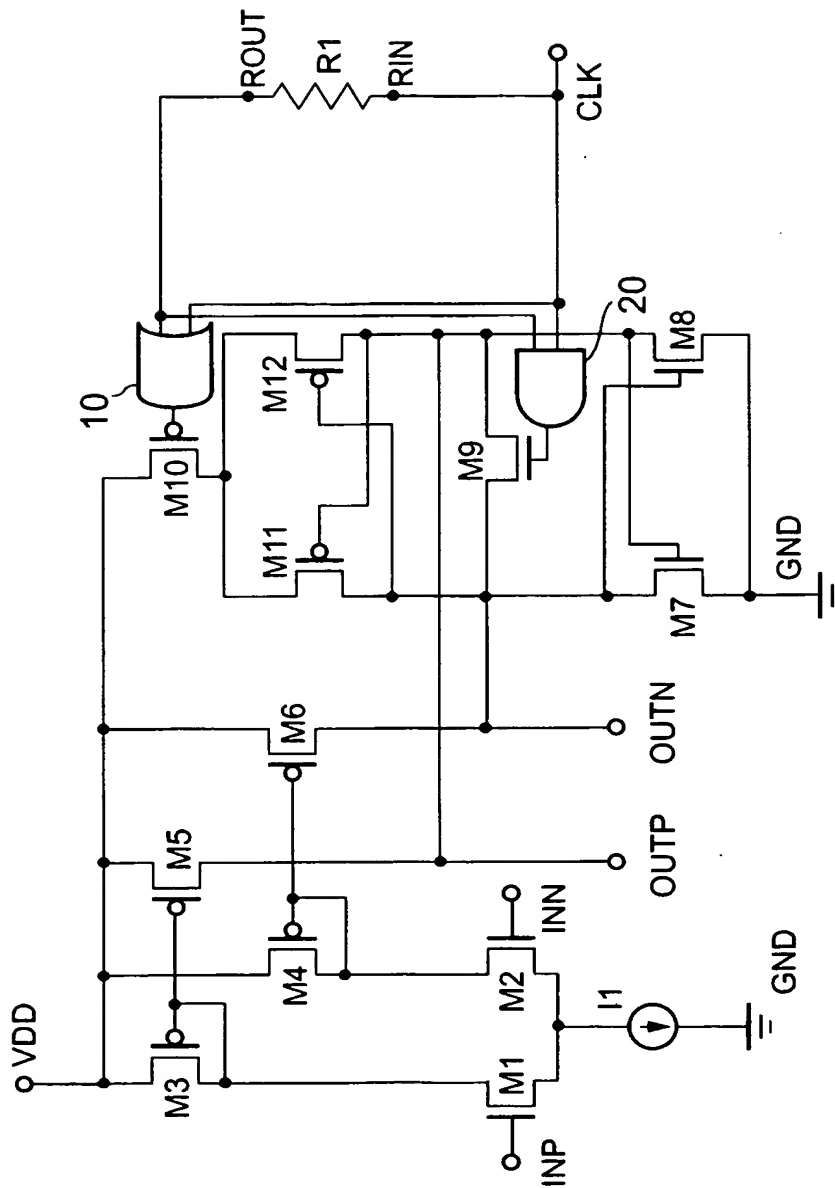
【圖 3】



本発明に係るコンパレータ回路の実施例3の回路図



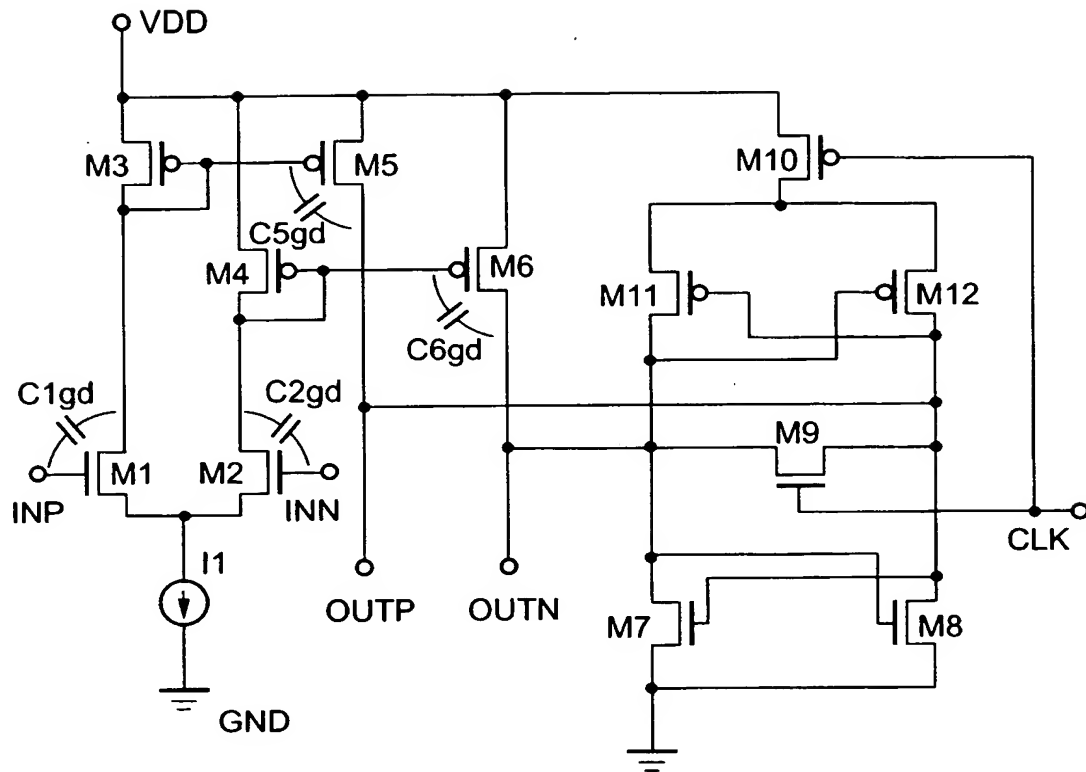
【圖 4】



本発明に係るコンパレータ回路の実施例4の回路図

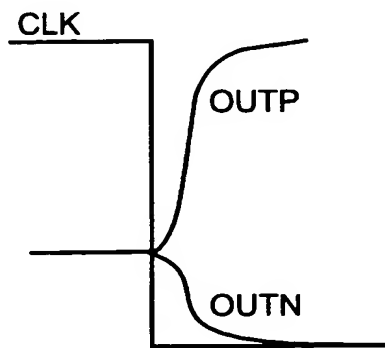
【図 5】

(a)



従来のコンパレータ回路の1例を示す回路図

(b)



INP > INNの時のCLK信号と出力信号の関係

【書類名】 要約書**【要約】**

【課題】 誤動作の生じないコンパレータ回路を提供する。

【解決手段】 本発明のコンパレータ回路は、比較対象となる信号を入力する差動対トランジスタ（M 1， M 2）とカレントミラー負荷回路（M 3， M 4， M 5， M 6）から構成される差動増幅回路と、カレントミラー負荷回路から、比較対象信号の大小関係に応じて出力される差動出力信号を増幅する為に、一方の入力が他方の出力となるように構成された反転増幅器で構成したラッチ回路と、差動増幅回路の信号を等化するための等化用トランジスタ（M 9）と、等化用トランジスタの制御電極に入力される制御信号を遅延させる信号を生成する遅延回路（M 1 3， M 1 4， M 1 5， M 1 6）と、この遅延回路の出力信号をラッチ回路を活性／非活性状態とする制御信号として制御電極に入力した制御トランジスタ（M 1 0）とを備えて構成されている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 8 9 4 8 4
受付番号	5 0 3 0 1 9 1 1 1 0 8
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 5 年 1 1 月 2 0 日

< 認定情報・付加情報 >

【提出日】	平成 1 5 年 1 1 月 1 9 日
-------	----------------------

特願 2 0 0 3 - 3 8 9 4 8 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門 1 丁目 7 番 1 2 号
氏 名	沖電気工業株式会社